

TP 3 (Hiver 2006)

IFT3380/IFT6380

Devoir 3

Remise : lundi 10 avril à 16h (aucun retard toléré)

Par groupe de 2 étudiants

Utiliser la plateforme fournie par Altera pour concevoir un circuit en VHDL. Ce circuit contient un générateur pseudo-aléatoire qui vous est donné, il faudra qu'il contienne 16 bits. L'utilisateur doit deviner si le prochain nombre est pair, impair ou un multiple de quatre. Le circuit doit afficher le pointage, en forme hexadécimale, sur la carte.

Vous devez utiliser les ordinateurs noirs de la CMC au local 3331 ou 3244 avec une carte Altera connectée à l'ordinateur.

Il y a deux cartes Altera dans le laboratoire : une bleue et une verte. Vous pouvez utiliser n'importe laquelle. Par contre, vous devez mettre le FPGA et les pins correspondants à la carte dans le projet.

Tout doit être codé en VHDL sauf le niveau supérieur qui contient les modules en VHDL, les pins du FPGA et l'interconnexion entre eux.

L'utilisateur appuie sur le bouton SW0 pour prédire un résultat pair, le bouton SW1 pour prédire un résultat impair et le bouton SW2 pour prédire un résultat multiple de 4.

Voici ce que les boutons doivent faire et le nombre de points si on a une réussite ou un échec :

	Prédictions	Point prédit/non prédit (à afficher en utilisant le « display » de la carte)
SW0	Pair	+1/-1
SW1	Impair	+1/-1
SW2	Multiple de 4	+2/-2

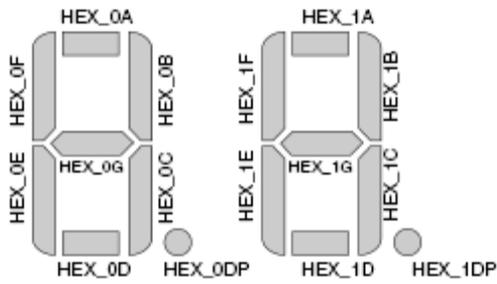
Le générateur aléatoire de type LFSR

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
entity LFSR is
    generic (n: integer := 4);
    port (nReset, Clk : in std_logic;
          result : out std_logic_logic(n-1 downto 0));
end LFSR;
```

```

architecture Q2 of LFSR is
signal inst : std_logic_vector(n-1 downto 0);
begin
process (nReset, Clk)
begin
    if nReset = '0' then
        inst <= (others => '1');
    elsif Clk'event and Clk = '1' then
        for i in n-1 downto 1 loop
            inst(i)<=inst(i-1);
        end loop;
        inst(0)<=inst(n-1) xor inst(0);
    end if;
end process;
result <= inst;
end Q2;

```



Carte bleue :

FPGA

Stratix S80, 956 pins speedgrade 6

Nom du bouton	Pin FPGA
SW0	AF14
SW1	AK13
SW2	AK12

Dual Seven Segment Display

Nom du Segment	Pin FPGA
HEX_0A	K25
HEX_0B	K26
HEX_0C	K28
HEX_0D	L27
HEX_0E	K29
HEX_0F	D25
HEX_0G	K24
HEX_0DP	K27
HEX_1A	L29
HEX_1B	E13
HEX_1C	L19
HEX_1D	L24
HEX_1E	L25
HEX_1F	L28

HEX_1G	L21
HEX_1DP	L26

Carte verte :

FPGA

Stratix S40, 780 pins speedgrade 5

Vous devez changer une option Menu : Assignments-> Settings -> Device -> Device & Pins options... -> Unused Pins -> As input, tri-stated

Pushbuttons

Nom du bouton	Pin FPGA
SW0	W5
SW1	W6
SW2	AB2
SW3	AB1

Dual Seven Segment Display

Nom du Segment	Pin FPGA
HEX_0A	A18
HEX_0B	C18
HEX_0C	D18
HEX_0D	A19
HEX_0E	B19
HEX_0F	C19
HEX_0G	E19
HEX_0DP	D19
HEX_1A	B18
HEX_1B	B20
HEX_1C	A20
HEX_1D	C20
HEX_1E	A21
HEX_1F	B21
HEX_1G	C21
HEX_1DP	D21

Remise

- Vous devez remettre le projet complet dans un répertoire compressé (zip, tgz, bzip2, 7z,...)
- Vous devez inclure en commentaire au début de chaque fichier vos noms et un descriptif de ce qu'il contient.
- Vous remettez avec "remise ift3380 tp3"
- N'oubliez pas, vous devez vous connecter à remise.iro.umontreal.ca pour faire la remise
- La date limite est fixée pour que je puisse corriger vos tps. Donc, la date limite n'est pas modifiable.