

NOM: _____**Code permanent:** _____

Architecture des ordinateurs contemporains Examen Final (Hiver 2000)

Professeur: El Mostapha Aboulhamid**Directives**

- Toute documentation est permise.
- Une calculatrice (même programmable) est permise.
- Le barême est indiqué entre parenthèses.
- Inscrire votre nom et code permanent sur le questionnaire.
- Si vous ne comprenez pas exactement une question, faites une interprétation, expliquez la et continuez. Veillez à la clarté de vos réponses et justifiez les.
- *Les questions sont indépendantes et leur ordre n'indique pas leur degré de difficulté.*

Question 1 (20)	
Question 2 (20)	
Question 3 (20)	
Question 4 (20)	
Question 5 (20)	

Question 1 (20)

Ecrire une entité et une architecture VHDL. L'architecture doit contenir 2 processus ainsi que les déclarations, variables et signaux nécessaires. L'entité a un port d'entrée Appelé PV et un port de sortie booléen appelé DRAPEAU .

1. Le processus P0 attend tout changement sur le port PV et met la valeur de DRAPEAU à faux.
2. Si la valeur est paire il la divise par 2. Si la valeur obtenue est égale à 1 il met DRAPEAU à vrai et recommence à l'étape 1, sinon il fait de telle manière que cette valeur obtenue soit visible à l'autre processus P1. Il attend alors la réponse de P1 et répète l'étape 2 avec comme valeur la réponse transmise par P1.
3. P1 attend toute valeur transmise par P0, si elle est impaire, il la multiplie par 3 puis lui rajoute 1 et retransmet la réponse à P0.

Toutes les variables et signaux sont des vecteurs de 32 bits. Ils sont considérés comme des entiers naturels (positifs ou nuls). Utiliser le standard que vous avez utilisé dans vos travaux pratiques pour travailler sur des entiers naturels représentés par des vecteurs de bits.

NOM: _____ **Code permanent:** _____

NOM: _____**Code permanent:** _____**Question 2 (20)**

Un système a un espace d'adressage sur 32 bit. Il possède au premier niveau, une cache d'instructions et une cache de donnée séparées. il possède aussi un deuxième niveau de cache, cette deuxième cache est unifiée. Le premier niveau de la cache de données utilise la correspondance directe, il a une politique "write-through" et "write-allocate", et possède un tampon d'écriture parfait (ne provoque jamais de calage). Cette première cache a une taille de 16K octets et possède des blocs de 8 octets. La cache d'instructions a une taille de 2K octets et possède des blocs de 8 octets aussi. La cache du deuxième niveau est associative avec des ensembles de taille 4, elle utilise une politique de "write-back" et "write-allocate". Elle est de 1 M octets et ses blocs ont 32 octets chacun.

1. Pour chacune des caches donner le nombre de bits du champ de l'adresse qui sert d'index ainsi que celui qui sert d'étiquette (tag) et enfin celui qui sert de déplacement à l'intérieur du même bloc.

La cache d'instructions a un taux d'échec (miss rate) de 3%, La cache de données a un taux d'échec de 20%. La cache unifiée du deuxième niveau a un taux d'échec de 10%. On suppose que 35% des instructions accèdent la mémoire: 70% sont des lectures et 30% des écritures en mémoire. On suppose qu'en tout temps 40% des blocs dans la cache du deuxième niveau sont modifiés (dirty). Il faut 10 cycles pour accéder à un bloc au deuxième niveau quand il est manquant au premier niveau de la cache. Il faut 100 cycles pour accéder à l'information quand elle manque dans les 2 caches.

2. Quelle est le pourcentage d'accès à la mémoires qui provoque une recherche en mémoire principale (donner l'équation puis le résultat numérique).

NOM: _____ **Code permanent:** _____

3. Combien de cycles au maximum peut-on dépenser pour accéder à une donnée. Expliquer quand est ce que cela se produit.

4. Quel est le temps moyen d'accès à la mémoire.

NOM: _____ **Code permanent:** _____

Question 3 (20)

Soit un processeur qui permet un ordonnancement dynamique des instructions à l'aide de l'algorithme de Tomasulo. La latence est de 2 cycles pour l'addition, la soustraction et les accès mémoire, elle est de 5 pour la multiplication et la division.

1. Modifier la figure ci-dessous (qui représente le cycle 6 de la machine) pour indiquer l'état de la machine au cycle 8.

Statut des instructions V.F.

	j	k	Emission	Exécution complétée	Ecriture résultat		Occ.	Adr.	
LD	F6	34	(R2)	1	3	4	ld1	Non	
LD	F2	45	(R3)	2	4	5	ld2	Non	
MULD	F0	F2	F4	3			ld3	Non	
SUBD	F8	F6	F2	4					
DIVD	F10	F0	F6	5					
ADDD	F6	F8	F2	6					
SUBD	F12	F10	F0						

Stations de réservation

Temps restant	Nom	Occupé	Op	S1: Vj	S2: Vk	RS pour Qj	RS pour Qk
1	Add1	Oui	SUBD	M(34+R2)	M(45+R3)		
	Add2	Oui	ADDD		M(45+R3)	Add1	
	Add3	Non					
4	Mult1	Oui	MULTD	M(45+R3)	R(F4)		
	Mult2	Non			M(34+R2)	Mult1	

Statut de registres

Horloge	Unité	F0	F2	F4	F6	F8	F10	F12	...
6	Fonct.	Mult1	M(45+R3)		Add2	Add1	Mult2		

2. Remplir complètement le tableau suivant en donnant le temps de fin d'exécution et d'écriture des résultats de chaque instruction.

	j	k	Emission	Exécution complétée	Ecriture résultat	
LD	F6	34	(R2)	1	3	4
LD	F2	45	(R3)	2	4	5
MULD	F0	F2	F4	3		
SUBD	F8	F6	F2	4		
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6		
SUBD	F12	F10	F0			

NOM: _____**Code permanent:** _____**Question 4 (20)**

On suppose une machine DLX super-scalaire où on peut émettre deux opérations indépendantes dans le même cycle, y compris deux opérations arithmétique simples.

Instruction productrice	Instruction consommatrice	Latence
Op UAL Virgule flottante	Op UAL V.F.	2
Op UAL V.F.	Stockage double en mémoire	3
Chargement double de la mémoire	Op UAL V.F.	1
Chargement double	Stockage double	0

Soit le fragment de code suivant:

```
BOUCLE: LD      F0, 0(R1)
        MULTD   F0, F0, F2
        LD      F4, 0(R2)
        ADDD    F0, F0, F4
        SD      0(R2), F0
        SUBI    R2, R2, 8
        SUBI    R1, R1, 8
        BNEZ    R1, BOUCLE
```

Dérouler la boucle 4 fois et l'ordonnancer sur le DLX super-scalaire de manière optimale (en minimisant les calages). Pour chaque opération indiquer le cycle où elle commence ainsi que le cycle où une autre instruction qui en dépend peut commencer.

On suppose que les unités en virgule flottante sont des unités pipelines, qu'il y a une unité addition en virgule flottante et une unité de multiplication, et qu'il y a deux unités arithmétiques simples. Donner le temps que prend chaque itération avec votre nouvel ordonnancement.

NOM: _____ **Code permanent:** _____

NOM: _____**Code permanent:** _____**Question 5 (20)**

a) Supposons qu'un multiprocesseur ayant deux processeurs possède une mémoire partagée centrale accédée via un bus partagé, que la mémoire est initialisée à 0, et que le bus est géré par un protocole espion (snoopy algorithm).

Décrivez dans le tableau ci-joint (Table 1) la séquence des requêtes et des réponses, et les valeurs transmises via les contrôleurs de cache et du bus. Indiquer aussi les valeurs stockées en mémoire centrale. Les adresses A1 et A2 réfèrent au même bloc de la mémoire cache mais des blocs différents de la mémoire.

P1 lit A1

P2 lit A2

P1 écrit A1

P2 lit A1

P1 lit A1

b) Supposons que multiprocesseur possède plutôt une mémoire partagée accédée via un bus ou une autre réseau d'interconnexion, on utilise alors un protocole de cohérence de cache basé sur des répertoires. Remplir alors la Table 2 pour indiquer les différentes activités engendrées par les lectures/écritures de la question a).

