

**NOM:** \_\_\_\_\_

**Code permanent:** \_\_\_\_\_

**IFT3380/6380 : Architecture des ordinateurs contemporains  
Examen Final (Hiver 2004)**

**Professeur :** El Mostapha Aboulhamid

Directives

- Toute documentation est permise.
  - Une calculatrice (même programmable) est permise.
  - Le barème est indiqué entre parenthèses.
  - Inscrire votre nom et code permanent sur la première page du questionnaire.
  - Si vous ne comprenez pas exactement une question, faites une interprétation, expliquez-la et continuez. Veillez à la clarté de vos réponses et justifiez-les.
  - *Les questions sont indépendantes et leur ordre n'indique pas leur degré de difficulté.*
-

**Question 1 (20)**

Soit un programme qui prend  $T$  unités de temps pour s'exécuter sur un monoprocesseur. S'il s'exécutait sur une machine parallèle avec  $p$  processeurs, il prendrait  $p$  fois moins de temps ; cependant il y aurait une pénalité due aux communications. Cette pénalité est estimée à  $p$  fois  $1/10$  du temps  $T$ .

- a) Donner le temps d'exécution total sur une machine à  $p$  processeurs.
  
  
  
  
  
  
  
  
  
  
- b) Y a-t-il un  $p$  pour lequel le temps sur la machine parallèle est égal au temps sur une machine monoprocesseur ?
  
  
  
  
  
  
  
  
  
  
- c) Pour quelle plage de valeurs de  $p$  vaudrait-il mieux rouler le programme sur une machine monoprocesseur ?
  
  
  
  
  
  
  
  
  
  
- d) Pour quelle plage de valeurs de  $p$  il vaudrait mieux rouler le programme sur une machine parallèle ?

### Question 2 (20)

Un système a un espace d'adressage sur 48 bits. Il possède 2 caches séparés au premier niveau, un cache d'instructions et un cache de données. Il possède aussi un deuxième niveau de cache qui est unifié.

- Le cache de données du premier niveau utilise la correspondance directe, il a une politique "write-through" et "write-allocate". Il possède un tampon d'écriture parfait (ne provoque jamais de suspension). Sa taille est de 64 K octets et il possède des blocs de 32 octets.
  - Le cache d'instructions a une taille de 16K octets, il possède des blocs de 32 octets. Il utilise une correspondance directe.
  - Le cache du deuxième niveau est associatif avec des ensembles de taille 2, il utilise une politique de "write-back" et "write-allocate". Il est de 2 M octets et ses blocs ont 128 octets chacun.
1. Pour chacun des caches, donner le nombre de bits du champ de l'adresse qui sert d'index ainsi que celui qui sert d'étiquette (tag) et enfin celui qui sert de déplacement à l'intérieur du même bloc.

Le cache d'instructions a un taux d'échec (miss rate) de 1%, Le cache de données a un taux d'échec de 20%. Le cache unifié du deuxième niveau a un taux d'échec de 15%. On suppose que 35% des instructions accèdent la mémoire: 70% sont des lectures et 30% des écritures en mémoire. On suppose qu'en tout temps 30% des blocs dans la cache du deuxième niveau sont modifiés (dirty). Il faut 10 cycles pour accéder à un bloc au deuxième niveau quand il est manquant au premier niveau de la cache. Le temps d'accès à la mémoire principale est de 100 cycles.

2. Quel est le pourcentage d'accès à la mémoire qui provoque une recherche en mémoire principale (donner l'équation puis le résultat numérique).

3. Combien de cycles au maximum peut-on dépenser pour accéder à une donnée ? Expliquer quand est-ce que cela se produit.

4. Quel est le temps moyen d'accès à la mémoire ?





**Question 4 (20)**

**a)** Supposons qu'un multiprocesseur ayant deux processeurs possède une mémoire partagée centrale accédée via un bus partagé, que la mémoire est initialisée à 0, et que le bus est géré par un protocole-espion (snoopy algorithm).

Décrivez dans le tableau ci-joint (Table 1) la séquence des requêtes et des réponses, et les valeurs transmises via les contrôleurs de cache et du bus. Indiquer aussi les valeurs stockées en mémoire centrale. Les adresses A1 et A2 réfèrent au même bloc de la mémoire cache, mais des blocs différents de la mémoire.

P1 lit A1

P1 écrit 21 dans A2

P1 lit A1

P2 lit A2

P1 écrit 31 dans A1

P2 écrit 41 dans A2

P1 lit A1

**b)** Supposons que le multiprocesseur possède plutôt une mémoire partagée accédée via un réseau d'interconnexion, on utilise alors un protocole de cohérence de cache basé sur des répertoires. Remplir alors la Table 2 pour indiquer les différentes activités engendrées par les lectures/écritures de la question **a)**.



	P1			P2			Bus				Répertoire			Mémoire
OPÉRATIONS	Etat	Adr	Val.	Etat	Adr	Val.	Action	Proc	Adr	Val	Adr	Etat	{Procs}	Val.

**Table 2: Opérations utilisant un répertoire**

**Question 5 (20)**

“The International Technology Roadmap for Semiconductors (ITRS)” constitue une évaluation de l’état et de l’évolution de la technologie des semiconducteurs ; c’est un effort coopératif à l’échelle mondiale des industries, des organisations gouvernementales, des consortiums et des universités. L’ITRS identifie les défis technologiques et les besoins auxquels l’industrie des semiconducteurs fait face, et ce, sur un horizon de 15 ans. L’édition ITRS 2003 marque un changement de ses éditions précédentes qui se sont consacrées aux circuits numériques. Dans l’édition 2003, ils soulignent le fait que « l’introduction de nouvelles solutions de technologie est de plus en plus tributaire de la demande du marché, avec des produits spécialisés pour des marchés différents en se servant des combinaisons différentes de technologies disponibles. Les microprocesseurs numériques universels pour des ordinateurs individuels ont été considérés comme un facteur de croissance important pour la microélectronique. Ils sont maintenant rejoints par des systèmes qui ne sont pas seulement numériques, mais analogiques aussi, par la communication sans fil et des dispositifs mobiles à piles... »

De plus, on peut constater que les systèmes sur puce sont de plus en plus hétérogènes et contiennent des multiprocesseurs au lieu de monoprocesseurs (tout cela sur la même puce). À titre d’exemple, ils peuvent déjà contenir de la mémoire flash sur la même puce en plus de la logique numérique. Bientôt (avant 2006), ils contiendront des MEMS, des détecteurs chimiques, électro-optiques ou même électrobiologiques.

D’après vous quel serait l’impact d’une telle évolution technologique sur la manière de programmer ces systèmes, d’exploiter leur capacité et de cacher leur complexité ?

