

Série d'exercices #9

IFT-1215

March 15, 2015

8.9

Soit une mémoire cache de 300 lignes de 16 bytes chacune. Soit un programme qui travaille sur un tableau bidimensionnel de 400×400 entiers, avec deux boucles imbriquées. Le programme peut imbriquer les boucles soit en itérant d'abord sur les colonnes du tableau ou d'abord sur les lignes du tableau. Quel ordre serait préférable? Pourquoi?

8.?

Un programme contient deux boucles imbriquées: une petite boucle interne et une boucle externe. La structure générale du programme est:

```
17:    ...
      ...
23:    ...
      ...
165:   ...
      ...
239:   BRP 165
      ...
1200:  BRP 23
      ...
1500:  HALT
```

Les adresses de la mémoire sont en décimal. Toutes les instructions sauf deux instructions de branchement (adresses 239 et 1200) sont exécutées successivement en commençant à l'adresse 17. La boucle externe est exécutée 10 fois, et à chaque itération, la boucle interne est exécutée 20 fois. Chaque adresse contient une instruction.

1. Le programme est exécuté sur un ordinateur avec une mémoire cache d'instructions de type *direct-mapped* (à correspondance directe) avec les

paramètres suivants:

Taille de la mémoire principale	64 K mots
Taille de la mémoire cache	1 K mots
Taille de bloc (i.e. ligne de cache)	128 mots
Temps d'accès à la mémoire principale	10 ns
Temps d'accès au cache	1 ns

- (a) Déterminer le nombre de bits dans les champs ETIQUETTE, INDEX et OFFSET de l'adresse de la mémoire principale.
 - (b) Calculer le temps total nécessaire pour la recherche (fetch) des instructions pendant l'exécution du programme.
2. Refaire ces calculs pour un cache purement associatif de même taille. Comment l'algorithme de remplacement affecte-t-il les résultats?

LMC avec cache

Soit l'exécution de l'instruction ADD dans LMC-0 ci-dessous:

cycle 0	PC \rightarrow MAR
cycle 1	attendre mémoire
cycle 2	MDR \rightarrow IR
cycle 3	IR[adr] \rightarrow MAR
cycle 4	attendre mémoire
cycle 5	A + MDR \rightarrow A
cycle 6	PC + 1 \rightarrow PC

1. Si ce processeur LMC-0 fonctionne à une fréquence de 100MHz et que la mémoire a une latence de 50ns, combien d'instructions ADD le processeur peut-il exécuter en une seconde?
2. Si on remplace le processeur par un LMC-C identique à LMC-0 mais avec un cache de latence 10ns, quel est le maximum d'instructions ADD qu'il pourra exécuter en une seconde?
3. Si on le remplace par un LMC-CP identique au LMC-C sauf qu'il fonctionne en pipeline, quel est le maximum d'instructions ADD qu'il pourra exécuter en une seconde?
4. Si on le remplace par un LMC-C2P identique au LMC-CP mais qui a un deuxième cache (aussi de latence 10ns); i.e., un cache spécialisé pour les instructions et un pour les données. Quel est le maximum d'instructions ADD qu'il pourra exécuter en une seconde?